

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-272479

(43)Date of publication of application : 18.10.1996

(51)Int.Cl. G06F 1/08
G06F 1/04
H03K 3/02
H03K 23/64

(21)Application number : 07-075855

(71)Applicant : NKK CORP

(22)Date of filing : 31.03.1995

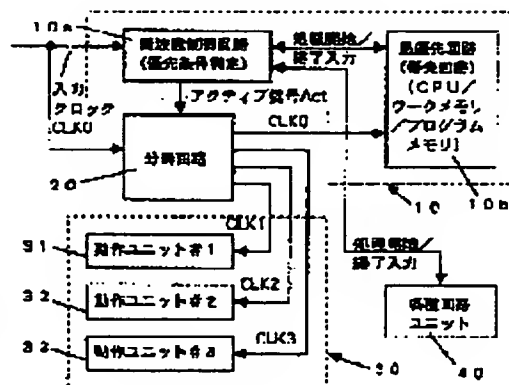
(72)Inventor : SASAKI YASUKI

(54) VARIABLE CLOCK GENERATION DEVICE

(57)Abstract:

PURPOSE: To suppress increase of the current consumption of a power supply without deteriorating the overall system performance.

CONSTITUTION: A variable clock generation device supplies the clocks to the units 31 and 32 which operate by a high speed clock CLK0 or a low speed clock CLK1. Then the generation circuit is provided with a signal switch circuit (dividing action decision circuit) 10 which produces a switch signal Act to switch the clock frequency when a prescribed order (processing start/end) is received, and a variable clock supply circuit 20 which supplies the clock CLK0 to the unit 31 and also the clock CLK1 to the unit 32 respectively in a 1st operating environment (highest priority circuit operation) that is decided by the contents of the instruction and the signal Act and then supplies the clocks CLK0 to both circuits 31 and 32 in a 2nd operating environment (highest priority circuit non-operation) that is decided by the contents of the instruction and the signal Act.



(12) 公開特許公報 (A)

(11) 特許出願公同 号

特開平8-272479

(5) InCL*	識別記号	片内整理番号	P I	技術指示箇所
G 06 F	1/08		G 06 F	1/04
	1/04	9 0 1		3 2 0 B
H 03 K	3/02		H 03 K	3/02
	23/84			3 0 1 C
				Z
				23/84
				G

東京建設 未解決 請求項の量7 0L (全11頁)

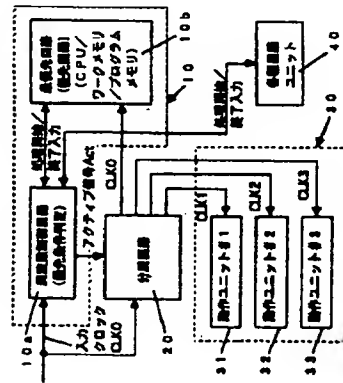
(21) 出願番号	特願平7-75855	(71) 出願人	000004123 日本鋼管株式会社
(22) 出願日	平成7年(1995)3月31日	(72) 発明者	佐々木 泰雄 東京都千代田区丸の内一丁目1番2号
		(70) 代理人	本鋼管株式会社内 伊藤士 眞谷川 和香 東京都千代田区丸の内一丁目1番2号 日

(54)【発明の名】 可変クロック発生装置

(57) 【夏朝】

【目的】全体的なシステム性能を落とすことなく電源消費電流を押さえる。

【構成】高速クロックCLK0または低速クロックCLK1で動作するユニット31およびCLK0またはCLK1で動作するユニット32にクロックを供給するものにおいて、所定の命令（制御開始/終了）が入力されたときにクロック周波数を切り換える切替信号Ac1を発生する信号切替回路（分周動作決定回路）10と；前記命令の内容と信号Ac1の内容に応じて決まる第1の動作モード（最優先回路非動作）では、ユニット31にCLK0を供給すると、ユニット32にCLK1を供給し、前記命令の内容と信号Ac1の内容に応じて決まる第2の動作モード（最優先回路非動作）では、ユニット31およびユニット32にCLK0を供給する可変クロック供給回路20とを備える。



(3)

クロックで動作させ、システムバスを8MHzで動作させ、ビットマップ両端出力処理などの重い処理を行う部分を16MHzで動作させる、といったことが行われる。

【0003】デジタル処理装置においては、その電源消費電流は動作クロック周波数に比例して増加する（第四内部電源回路の容量成分に対する単位時間当たりの充放電回数がクロック周波数に比例して増えるため）。たとえば1MHzクロック周波数のデジタル処理装置が5V100mAの電源で動作している場合、動作クロックを8MHzに上げると電源消費電流は800mAに増え、消費電流が増えたとこの電流が流れる部分の発熱が増え、場合によっては放熱対策が必要になる。またバッテリー駆動の機器ではバッテリーの連続使用可能時間が短くなるという問題も生じる。

【0004】上記問題を軽減するために、次のような処理が必要となる。すなわち、高速度動作が必要な箇所だけに高速度クロック（最高クロック周波数）を供給し、その高速度クロック部分が動作中では、高速度動作を必要としない他部分のクロック周波数を大幅に下げ、あるいは動作不要の回路部分はクロック周波数をゼロとして回路動作を止める。このようにすると、必要な箇所は高速度動作しながら、装置全体としてみれば電源消費電流を比較的小く抑えることが可能となる。

【0005】

【発明が解決しようとする課題】高速度クロックを必要とする箇所が常に高速度クロックを必要としているとは限らないが、いつ高速度クロックが必要となるかが分からないときは、高速度処理部分には常に高速度クロックを供給し、低速度処理部分には常に低速度クロックを供給する（あるいは低速度処理部分のクロックを消去止める）ことになる。そうすると、高速度処理が必要でない期間においても高速度処理部分が高速度クロックを受けながら大きな電源電流を消費し続けているので、上記電源消費電流を効果的に抑えることは難しい。

【0006】また、電源消費電流を効果的に抑ええるために一部のクロック供給を無選択に止めてしまうと、クロック供給を止められた回路部分の動作が完全に止まってしまうので、処理が中断する。この動作停止回路部分については、クロック供給を再開しても自己復帰できず、システムの立ち上げ（リブート）からやり直さなければならぬ事態が生じる恐れもある。この問題をクリアできる場合であっても、クロックの部分的な停止はシステム全体の性能低下に繋がる可能性が高いので、クロックを止めることのできる回路部分は限られてくる。

【0007】この発明の目的は、必要な部分に必要な時にだけ高速度クロックを供給するようにしてシステム性能を落とすことなく電源消費電流を抑えることのできる可変クロック発生装置および可変クロック発生方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するために、第1のクロック周波数（高速度クロックCLK0）または第2のクロック周波数（低速度クロックCLK1）で動作する第1ユニット（31）およびこの第1のクロック周波数または第2のクロック周波数で動作する第2ユニット（32）にクロックを供給するこの発明では、所定の命令が入力されたときにクロック周波数を切り換える切替信号（Acl）を発生し、前記所定の命令の内容と前記切替信号（Acl）の内容（0/1）に応じて、前記第1ユニット（31）および第2ユニット（32）の一方に前記第1のクロック周波数（CLK0）を供給するとともに前記第1ユニット（31）および第2ユニット（32）の他方に前記第2のクロック周波数（CLK1）を供給し、前記所定の命令の内容と前記切替信号（Acl）の内容（0/1）に応じて、前記第1のクロック周波数（CLK0）を供給し、前記第1ユニット（31）および第2ユニット（32）の一方に前記第1のクロック周波数（CLK0）を供給するとともに前記第1ユニット（31）および第2ユニット（32）の他方に前記第1のクロック周波数（CLK0）を供給するようにしている。

【0009】

【作用】システムの装置状況（入力命令の内容）に応じてシステムを構成する各処理部（第1、第2ユニット）への動作クロックをダイナミックに変更することにより、必要な部分へ必要としない電源消費電流を減らす。

【0010】

【実施例】以下、図面を参照して、この発明の一実施例に係る可変クロック発生装置および可変クロック発生方法を説明する。

【0011】図1は、この発明の一実施例に係る可変クロック発生装置を含むシステムの構成を示す。また、図2は、この装置の動作を説明するタイミングチャートである。

【0012】入力クロックCLK0は、図示しないシステムクロック発生回路から得られる。たとえば16MHzのクロックCLK0を用いる場合、このシステムクロック発生回路は、32MHzの水素共振器と、その出力がデューティ比50%の矩形波に波形成するフリップフロップ（1/2分周器）で構成される。このシステムクロック発生回路はCMOS回路で構成しておくと、この発生回路の電源消費電流は低くなるので、このCMOSクロック発生回路自体の発熱動作を抑えることはしない。

【0013】上記システムクロック発生回路からのクロックCLK0は、タイミング信号として分周動作決定回路（切替信号回路）10に与えられるとともに、分周回路20に入力される。この回路10は、クロック周波数切替動作（分周比設定動作）を制御する周波数制御回路

(4)

10aと、たとえばクロックCLK0で動作するCPUおよびメモリなどから構成される最優先回路（または最優先回路10bとを含む）である。周波数制御回路10aは各動作開始および動作停止は、最優先回路10bまたは各分周動作決定回路10cからの処理開始/終了入力（信号あるいは命令）によって制御される。

【0014】分周動作決定回路10において、最優先回路（または最優先回路10b）から分周動作決定回路10aへ処理開始命令が入力されると、周波数制御回路10aは、クロックCLK0のタイミングでその動作を開始する。その際、所定の条件（最優先条件または優先条件）が満たされると、アクティブ信号Aclが発生される。たとえば、パーソナルコンピュータのメインCPU（図示せず）が最高速度で動作する必要がある状態（ユーザからのキーボード入力待ち状態など）が所定時間（たとえば1分）経くと、ある最優先条件（または優先条件）が満たされ、システムクロック周波数を落とす命令が周波数制御回路10aに入力される。すると、分周動作決定回路10はアクティブ信号Aclを発生する（図2の時間1s）。

【0015】アクティブ信号Aclは、分周回路20に入力される。分周回路20は、システムクロック周波数を落とすという内容の命令に対応してアクティブ信号Aclを受け付けている期間中（図2の1s～1e）、ある最優先条件が満たされている期間、最優先回路動作に入る。

【0016】分周回路20は、アクティブ信号Aclを受けると（1s）、入力クロックCLK0のクロックタimingづつクロックCLK0を順次に分周し、1クロックづつずつたいてクロック（1、1、1、1、1）で、たとえ1/2に分周されたクロックCLK1～CLK3を発生する。こうして得られた低速度クロックCLK1～CLK3は、それぞれ、動作ユニット群30を構成する第1動作ユニット31～第3動作ユニット33に供給される。第1動作ユニット31～第3動作ユニット33は、それぞれ、供給された低速度クロックCLK1～CLK3により、少ない電源消費電流でもって、必要十分な動作速度で所定の処理を実行する。

【0017】ここで「最優先回路動作」とは、特定回路部分へのシステムクロック周波数を落とすことを最優先させる動作をいう。換言すると、この特定回路部分を高速クロックで動作させていて何秒間隔でも（あるいは高速クロックで動作していた方が他の回路部分の動作速度に有利であっても）、「最優先回路動作」では、クロック周波数が落とされる特定回路部分よりも、クロック周波数が落とされない回路部分の方が、動作性能上最優先（あるいは単に優先）される。【0018】また、ここで「最優先条件（または優先条件）」とは、図示しない他回路の動作状態に内ら

ず、第1動作ユニット31～第3動作ユニット33へ供給される動作クロックCLK1～CLK3を1/2に分周してよい条件となる。

【0019】たとえば、動作ユニット31が16MHzクロックで動作している場合にある処理を開始してから処理結果が出るまで最大1ms（ミリ秒）かかるという条件とする。図示しないメインCPU上で走っているプログラムにとって、この処理をリクエストしてからその結果を得るまで2ms以上待てるときは、動作ユニット31が8MHzクロックで動作してもかまわないこととなる。このような場合（2ms待てる）に、前記「最優先条件（または優先条件）」が満足され、分周動作決定回路10（周波数制御回路10a）は、入力クロックCLK0を1/2分周させるためのアクティブ信号Aclを発生する。

【0020】上記説明から明らかなように、この実施例では「最優先条件（または優先条件）」とは図示された内容のものではなく、システム構成や制御中のプログラムの内容によって適宜変更される。

【0021】クロックを落とすという動作は、動作ユニット31～第3動作ユニット33が再び高速クロックCLK0で動作する時期になると（図2の1e）、周波数制御回路10aは処理終了入力（または最優先回路10bのCPUあるいは各種回路ユニット40）から受ける。

【0022】以上まとめると、次のようになる。まず最優先回路10bのCPUが（クロックを上げて高速度動作を行うために）処理開始命令を周波数制御回路10aに入力する。この命令を受けると、周波数制御回路10aは、命令内容に応じた「最優先条件」の判定を行い、この条件が満足されると、所定時間（図2の1s～1e）最優先動作を行うアクティブ信号Aclを出力する。この最優先動作期間中はクロック周波数を落とすだけではない、電源電流が低減される。

【0023】上記実施例は、次のような作用効果を持つ。

【0024】まず、高速度クロックを必要としない低優先度のユニットへのクロック周波数を下げることから、その分消費電流が減る。

【0025】クロックを下げる動作ユニットが複数ある場合は、各ユニットの分周タイミングをずらしている（図2の1～13）。するとクロック変更時点で電源電流ピーク（パルス）が同時に集中せず、クロック変更に伴う電源ノイズレベルが小さくなる。このため、装置を1C化した場合において、1Cパッケージの電源ピン、グラウンドピンの数を減らしても（1Cピンを中継する部分の電源インピーダンスは高くなるが）、クロック変更に伴う電源ノイズレベルで回路動作にエラーが出にくくなる（電源ピン、グラウンドピンの数を減らせば、1Cパッケージのコストを下げることでできる）。

(5)

【0026】図3は、この発明の他の実施例に係る可変クロック発生装置を含むシステム構成を示す。図3において、図示しないシステムクロック発生回路からの入力クロックCLK0は、タイミング信号として第1の周波数制御回路101aおよび第2の周波数制御回路102aに与えられるとともに、分周回路20に入力される。

【0027】分周回路20は、周波数制御回路101aからのアクティブ信号Ac11および周波数制御回路102aからのアクティブ信号Ac12の組み合わせの内容に応じて入力クロックCLK0を分周し、4種類のクロックCLK1~CLK4を、それぞれ4つの動作ユニット31~34に与える。各動作ユニット31~34は、与えられたクロックCLK1~CLK4の周波数に対応した速度で、自身の処理を実行するようになっている。

【0028】分周回路20はまた、入力クロックCLK0を第1の優先回路101bおよび第2の優先回路102bに与える。クロックCLK0のタイミングで動作する第1の優先回路101bはCPUを含んでおり、このCPUは実行するプログラムの実行状態に応じて、適宜、処理開始/終了入力#1（第1の処理開始命令）が発生される。同様に、クロックCLK0のタイミングで動作する第2の優先回路102bもCPUを含んでおり、このCPUは実行するプログラムの実行状態に応じて、適宜、処理開始/終了入力#2（第2の処理開始命令）が発生される。

【0029】周波数制御回路101aは、優先回路101bから処理開始/終了入力#1を受け取る。所定の条件（優先条件1）が満たされたときにアクティブ信号Ac11を発生する（図5の時間t1）。同様に、周波数制御回路102aは、優先回路102bから処理開始/終了入力#2を受け取る。他の所定条件（優先条件2）が満たされたときにアクティブ信号Ac12を発生する（図5の時間t2）。

【0030】アクティブ信号Ac11およびAc12は、分周回路20に入力される。分周回路20は、システムクロック周波数とす1内容の命令に対応したアクティブ信号Ac11およびAc12の組み合わせを受け取っている期間中（図2のt1以降、第1または第2の優先条件が満足されている期間）、優先回路動作に入ります。

【0031】図4は、アクティブ信号Ac11およびAc12の組み合わせとクロックCLK0に対する4種類の分周動作と対応関係を例示する時間図である。処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号Ac11およびAc12は、適宜変更されたクロックCLK1~CLK4の周波数に对应した速度で、自身の処理を実行する。このクロック周波数のダイナミックな変更（クロック周波数低）により、全体として、動作ユニット

カクロックCLK0と同じになる。

【0032】処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号Ac11およびAc12の組み合わせが0/1の場合（あるいは1/0の場合）は、4種類のクロックCLK1~CLK4に対する分周比は全て「2」となる。すなわちクロックCLK1~CLK4各々の周波数は入力クロックCLK0の1/2になる。

【0033】処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号Ac11およびAc12の組み合わせが1/1の場合は、4種類のクロックCLK1~CLK4に対する分周比は全て「4」となる。すなわちクロックCLK1~CLK4各々の周波数は入力クロックCLK0の1/4になる。

【0034】アクティブ信号Ac11およびAc12の組み合わせが時間とともに変化する場合は、優先回路101bおよび102bの動作とそれに伴うクロックCLK1~CLK4の周波数変化は、たとえば図5に示すようになる。

【0035】すなわち、時間t1以前では、アクティブ信号Ac11およびAc12の組み合わせが0/0なので分周比は「1」であるから、クロックCLK1~CLK4の周波数は入力クロックCLK0と一致している。

【0036】時間t1からt2の間では、アクティブ信号Ac11およびAc12の組み合わせが1/0なので分周比は「2」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/2に変化する（時間t1、t2、t3、t4）。

【0037】時間t2以降では、アクティブ信号Ac11およびAc12の組み合わせが1/1なので分周比は「4」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/4に変化する（時間t2、t3、t4）。

【0038】その後アクティブ信号Ac11およびAc12の組み合わせが0/0に戻ると、優先回路動作が終了し、クロックCLK1~CLK4は入力クロックCLK0の周波数と同じに戻る。このクロック周波数の復帰は、優先回路101bおよび102aまたは102bから図示しないメインCPUに通知することができる。

【0039】つまり、優先回路101bおよび102bのCPUがそのプログラム実行中に処理開始命令（処理開始/終了入力）#1および#2を周波数制御回路101aおよび102aへ適宜与えることにより、各動作ユニット31~34は、適宜変更されたクロックCLK1~CLK4の周波数に对应した速度で、自身の処理を実行する。このクロック周波数のダイナミックな変更（クロック周波数低）により、全体として、動作ユニット

第30の電源消費電流（電力消費量）を減らすことができる。

【0040】上記実施例は、次のような作用効果を持つ。

【0041】優先回路（101b、102b）を複数用いることにより、分周回路20における分周の組み合わせ数を増やすことができるから、異なるクロックで動作する多数のユニットで構成される複雑なシステムへ、この発明を応用できる。

【0042】図6は、この発明のさらに他の実施例に係る可変クロック発生装置を含むシステムの構成を示す。また、図7はこの装置の動作を説明するフローチャートである。

【0043】図示しないCPUからの命令コードは分周動作決定回路10内部の命令デコーダ110に入力される。デコーダ110は、入力された命令の内容に応じた組み合わせで、3種類のアクティブ信号Ac11~Ac13を発生する。これらのアクティブ信号Ac11~Ac13は、ゲートアレイなどで構成される選択回路120とともに、分周回路20内のアンドゲートG21~G23の第1入力端に与えられる。分周回路20内のアンドゲートG21~G23の第2入力端には、分周前のクロックCLK0が与えられる。

【0044】アンドゲートG21は、アクティブ信号Ac11が「1」レベルのときにだけ、入力クロックCLK0を第1の分周回路21へ供給する。同様に、アンドゲートG22はアクティブ信号Ac12が「1」レベルのときにだけ入力クロックCLK0を第2の分周回路22へ供給し、アンドゲートG23はアクティブ信号Ac13が「1」レベルのときにだけ入力クロックCLK0を第3の分周回路23へ供給する。

【0045】第1~第3の分周回路21~23は、選択回路120から「1」レベルの選択信号SL1~SL3を受けているときにだけ分周動作を行う。選択信号SL1~SL3それぞれのレベルは、アクティブ信号Ac11~Ac13の組み合わせによって決定される。

【0046】たとえば、デコーダ110に入力された命令をデコードした結果（図7のステップS10）、数値演算ユニット（ALU）31の実行命令であれば（ステップS12の#1）、ゲートG21を導通させる信号Ac11=「1」がデコーダ110から出力されるとともに、分周回路21の分周比を「1」にする信号SL1が、分周回路21に供給される（ステップS14）。これにより、数値演算ユニット31は最高速のクロックCLK1（=CLK0）で動作する。

【0047】一方、そのときデコードされた命令（数値演算ユニット31の動作速度が最優先されている）が、たとえばデコーダ（メモリあるいはレジスタへの）ロード/ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップS24）。これによりロード/ストア制御ユニット32への電源電流が低減される。また、数値演算が実行される

り分周比が「2」に設定される（ステップS16）。これによりロード/ストア制御ユニット32への電源電流が低減される。また、移動小数点演算が実行されない命令であれば、信号Ac13=「0」がデコーダ110から出力され、ゲートG23が非導通状態になる。すると分周回路23へのクロック入力が停止し、（ステップS16）、移動小数点演算ユニット（FPU）33は動作を停止する（この場合、ユニット33は相対電力を消費しない）。

【0048】デコーダ110に入力された命令をデコードした結果（ステップS10）、ロード/ストア制御ユニット32の実行命令であれば（ステップS12の#2）、ゲートG22を導通させる信号Ac12=「1」がデコーダ110から出力されるとともに、分周回路22の分周比を「1」にする信号SL2が、分周回路22に供給される（ステップS18）。これにより、ロード/ストア制御ユニット32は最高速のクロックCLK2（=CLK0）で命令があるいはデータのロード/ストアを実行する。

【0049】一方、そのときデコードされた命令（ロード/ストア制御ユニット32の動作速度が最優先されている）が、たとえば数値演算命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路21は信号SL1により分周比が「2」に設定される（ステップS20）。これにより数値演算ユニット31への電源電流が低減される。

【0050】また、そのときデコードされた命令（ロード/ストア制御ユニット32の動作速度が最優先されている）が、たとえば移動小数点演算命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路23は信号SL3により分周比が「2」に設定される（ステップS20）。これにより移動小数点演算ユニット33への電源電流が低減される。

【0051】デコーダ110に入力された命令をデコードした結果（ステップS10）、移動小数点演算ユニット（FPU）31の実行命令であれば（ステップS12の#3）、ゲートG23を導通させる信号Ac13=「1」がデコーダ110から出力されるとともに、分周回路23の分周比を「1」にする信号SL3が、分周回路23に供給される（ステップS22）。これにより、移動小数点演算ユニット33は最高速のクロックCLK3（=CLK0）で動作する。

【0052】一方、そのときデコードされた命令（移動小数点演算ユニット33の動作速度が最優先されている）のロード/ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路22は信号SL2により分周比が「2」に設定される（ステップS24）。これによりロード/ストア制御ユニット32への電源電流が低減される。また、数値演算が実行される

(6)

(7)

命令であれば、番号Ac11=「0」がデコード110から出力され、ゲートG21が非導通状態になる。すなわち、分周回路21へのクロック入力が停止され（ステップST24）、整数演算ユニット（ALU）3は動作を停止する（この場合、ユニット31は殆ど電力を消費しない）。

【0053】上記実施例は、次のような作用効果を持
つ。

【0054】これらから実行しようとする命令内容に応じ、最速クロックで動作すべきユニットをダイナミックに指定する。すなわち、その命令内容では最速クロックで動く必要のないユニットのクロックは適宜低下させて、その命令内容は全く動作不要なユニットについて、そのクロックを止めることができる（止めてもエラーが出ない場合）。そしてシステム全体としてのパフォーマンスを要質に高くとすると、装置全体としての電源消費電流を効果的に減少させることができるとして、

[055]

【図明の要旨】システムの稼働状況（人力命令の内容）に応じましてシステムを構成する各処理部（31～33）への動作クロックをダイナミックに変更して、必要部分へ必要量時（優先回路動作中：第1の動作履歴）にだけ高速クロック（CLK0）を供給するようにしている。これにより、システム性能を落とすことなく電源消費電流を抑えることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図2】図1の実施例の動作を説明するタイミングチャート図。

【図3】この発明の他の実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図

【図4】図3の実施例の分周回路の動作を説明する真理値表。

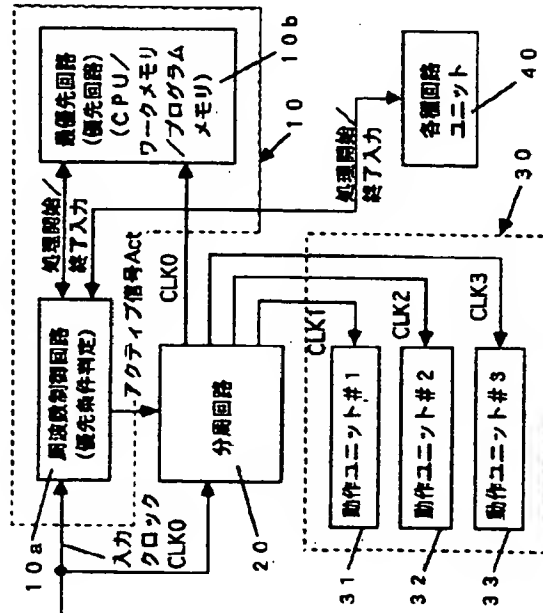
【図5】図3の実施例の動作を説明するタイミングチャート図。

【図6】この発明のさらに他の実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図7】図6の実施例の動作を説明するフローチャー

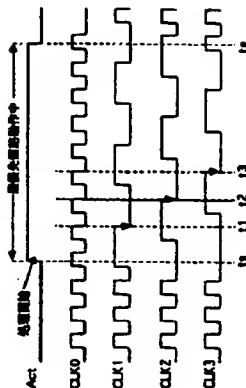
【符号の範囲】

0000…分周動作決定回路(切換信号回路)、10a、1
01a、102a…周波数制御回路、10b、101
10c…乗算器回路、20…分周回路(可変クロ
ック供給回路)、30…動作ユニット群、31…動作ユ
ニット#1(ALU)、32…動作ユニット#2(ロー
グアップ/スワブ)、33…動作ユニット#3(FPU)、3
4…動作ユニット#4、40…各種機能ユニット、21
22…分周回路#1、22…分周回路ユニット、21
23、G21~G23…アンプゲート。

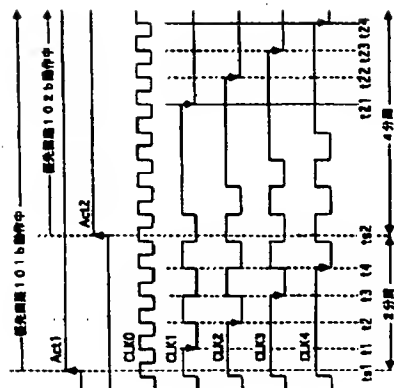


(8)

【圖2】

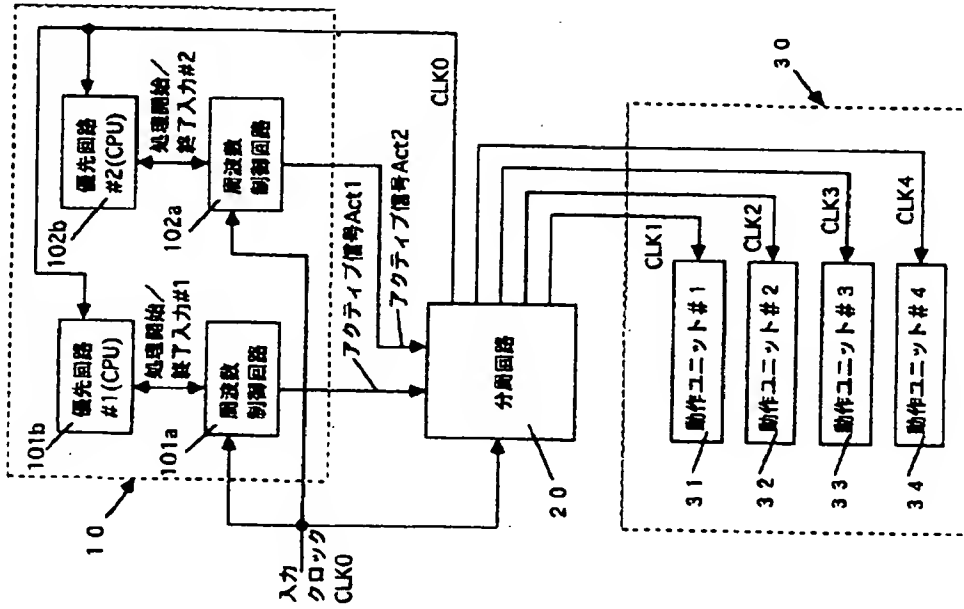


[圖 5]



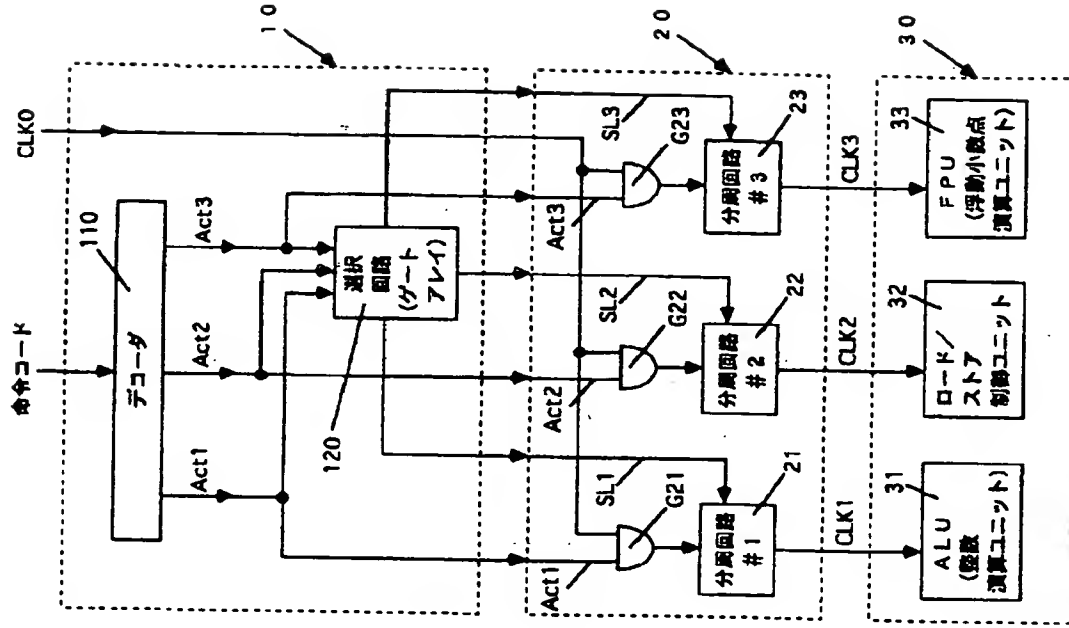
(9)

【図3】



(10)

【図6】



(11)

【図7】

